

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-176925

(13)公開日 平成11年(1999)7月2日

(51)Int.Cl.⁶

識別記号

H 0 1 L 21/76
21/762
27/12

F 1

H 0 1 L 21/76 M
27/12 F
21/76 D

審査請求 未請求 請求項の数4 (全 5 頁)

(21)出願番号 特願平9-335704

(22)出願日 平成9年(1997)12月5日

(71)出願人 594021175

旭化成マイクロシステム株式会社
東京都渋谷区代々木1丁目24番10号

(72)発明者 河野 通裕

宮崎県延岡市旭町6丁目4100番地 旭化成
マイクロシステム株式会社内

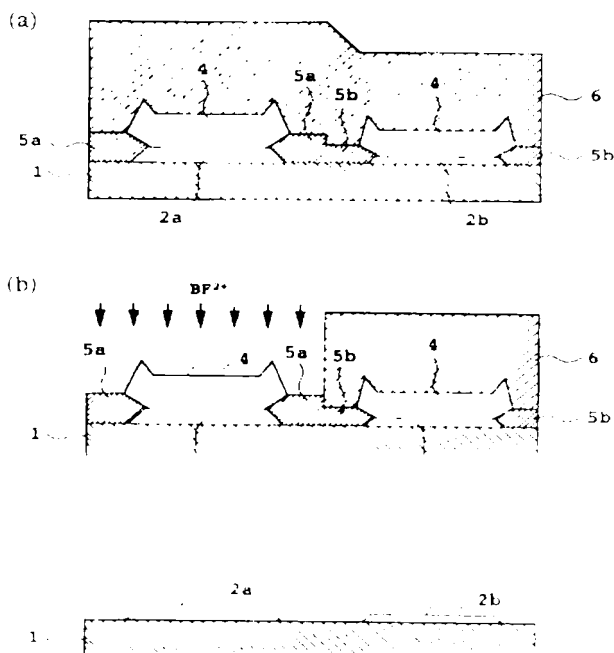
(74)代理人 弁理士 谷 義一

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 フィールド酸化膜と略同一材料からなる下地層のえぐれをなくし、歩留まりを向上させ、信頼性の高い半導体装置を製造する。

【解決手段】 回路素子分離に用いられるフィールドシリコン酸化膜層5a、5bのうち、厚さが厚い方のフィールドシリコン酸化膜層5aのみにはイオンを注入し、フィールドシリコン酸化膜層5a、5bのエッチング速度を変えることによって、下地層であるシリコン酸化膜層1のえぐれをなくした状態で、厚さの異なるシリコン層2a、2bを同時に分離形成する。



厚の異なる領域を分離する工程とを見えることによつて、半導体装置の製造方法を提供する。

【0012】ここで、前記絶縁層をシリコン酸化膜とし、前記回路素子形成層をシリコン層とし、前記フィールド酸化膜をフィールドシリコン酸化膜とすることができ、

【0013】前記注入されるイオンは、 B^{+} イオン（ B^{+} ）とすることができ、

【0014】 B^{+} イオン構造における絶縁層上のシリコン層の膜厚の異なる領域を分離することができる、

【0015】

【発明の実施の形態】以上、図面を参照して、本発明の実施の形態を詳細に説明する。

【0016】本例では、 B^{+} イオン構造におけるシリコン層の厚さの異なる領域を分離する半導体装置の製造方法について述べる。

【0017】図1(a)の工程について述べる。まず、下地層としてのシリコン酸化膜層1上に、膜厚の異なる領域を有する回路素子形成層としてのシリコン膜層2を形成する。

【0018】次に、そのシリコン膜層2の膜厚の異なる各領域上に、厚さ20nmのシリコン酸化膜層(SiO₂)3を、例えば、酸化温度950℃、水素ガス51分、酸素ガス101分、酸化時間6分の条件にて形成する。

【0019】次に、そのシリコン酸化膜層3上に、厚さ140nmのシリコン窒化膜層(Si₃N₄)4を積層する。この積層は、LPCVD法を用い、例えば、デポジション温度750℃、SiH₄:0.1、ガス20sccm、NH₃ガス20sccm、デポジション時間140分の条件で行う。

【0020】次に、シリコン窒化膜層4に対してレジストをマスクして、所定の形状にパターンニングする。このパターニングは、膜厚の異なるシリコン膜層2a、2b上に、パターニングマスクを施すシリコン窒化膜層4を形成する。

【0021】次に、図1(b)の工程について述べる。シリコン窒化膜層4をマスクとして用い、選択的にウェット酸化を行う。このウェット酸化は、例えば、酸化温度1000℃、水素ガス81分、酸素ガス4.51分、酸化時間11.5分の条件にて行う。なお、ここでいうウェット酸化とは、水素ガス成分が多く含まれる場合

の厚いシリコン膜層2aと、膜厚の薄いシリコン膜層2bとに分離される。この場合、シリコン膜層2a、2bとシリコン窒化膜層4のエッジ部分に酸素が回り込んで酸化が進行するため、バースピークと呼ばれる形状となる。

【0022】以下の工程は、フィールドシリコン酸化膜層5a、5bを除去する工程について説明するものである。

【0023】次に、図2(a)の工程について述べる。フィールドシリコン酸化膜層5a、5bを含む全面に渡って、レジスト6を塗布する。その後、片側の領域をマスク露光して、フィールドシリコン酸化膜層5a側のレジスト6を除去する。

【0024】次に、図2(b)の工程について述べる。フィールドシリコン酸化膜層5b側のレジスト6をマスクとして、膜厚の厚い方のフィールドシリコン酸化膜層5aのみに対して、 B^{+} イオンを注入する。この場合、イオン注入装置を用い、例えば、加速エネルギー65keV、ドーズ量7.5×10¹²/cm²の条件にてイオンを注入する。

【0025】次に、図2(c)の工程について述べる。レジスト6を除去した後、アニール処理を行う。このアニールは、例えば、温度950℃、窒素ガス151分、アニール時間20分の条件にて行う。

【0026】次に、フィールドシリコン酸化膜層5a、5bをエッチングする。このエッチングは、例えば、フッ化水素酸(HF)と水とを1:1に混合したエッチング液を用い、エッチング時間11.8分の条件にて行う。このエッチングによって、シリコン膜層2とシリコン酸化膜層1との境界部分を露出させる。なお、アニール処理を施さずに、エッチングを行う場合もある。

【0027】最後に、各シリコン膜層2a、2b上のシリコン窒化膜層4を除去する。この場合、例えば、H₂O₂とHFの溶解した水溶液を用いて、温度100℃、除去時間10分の条件をして、シリコン窒化膜層4を除去する。このように、2つの工程を用いることによって、互いに膜厚の異なるフィールドシリコン酸化膜層5a、5bを同時に除去することが可能となる。

【0028】次に、イオン注入と、フィールドシリコン酸化膜層5a、5bのエッチングレートとの相関関係について説明する。

【0029】表1は、フィールドシリコン酸化膜層5a、5bのエッチングレートと、シリコン窒化膜層4のエッチングレートの関係を示す。

【0030】表2は、フィールドシリコン酸化膜層5a、5bのエッチングレートと、シリコン窒化膜層4のエッチングレートの関係を示す。

【0031】表3は、フィールドシリコン酸化膜層5a、5bのエッチングレートと、シリコン窒化膜層4のエッチングレートの関係を示す。

【0032】表4は、フィールドシリコン酸化膜層5a、5bのエッチングレートと、シリコン窒化膜層4のエッチングレートの関係を示す。

【0033】表5は、フィールドシリコン酸化膜層5a、5bのエッチングレートと、シリコン窒化膜層4のエッチングレートの関係を示す。

【0034】表6は、フィールドシリコン酸化膜層5a、5bのエッチングレートと、シリコン窒化膜層4のエッチングレートの関係を示す。

【0035】表7は、フィールドシリコン酸化膜層5a、5bのエッチングレートと、シリコン窒化膜層4のエッチングレートの関係を示す。

【0036】表8は、フィールドシリコン酸化膜層5a、5bのエッチングレートと、シリコン窒化膜層4のエッチングレートの関係を示す。

【0037】表9は、フィールドシリコン酸化膜層5a、5bのエッチングレートと、シリコン窒化膜層4のエッチングレートの関係を示す。

イオン注入とSi酸化膜との相関	
イオン注入条件	1:19 HF エッチレート
・イオン注入 (3F2+: $7.5 \times 10^{14}/\text{cm}^2$, 65keV) ・アニール処理	250A/分
イオン注入無し	170A/分

【0032】この表1から、イオン注入をしない場合には170A/分なのに対して、イオン注入を行った場合には250A/分となり、エッチングの進行速度が速くなることわかる。なお、この例では、アニール処理を行ったが、アニールしない場合には、エッチングレートが4倍程度速くなる。

【0033】このようにイオン注入の有無によってエッチングレートに差を出すことを利用して、本工程では、膜厚の厚いフィールドシリコン酸化膜層5aに対してはイオン注入を行い、膜厚の薄いフィールドシリコン酸化膜層5bに対してはイオン注入をしないように設定した。

【0034】これにより、前記図2(c)の工程において、膜厚の薄いフィールドシリコン酸化膜層5bではエッチングの進行速度が遅いのに対して、イオンが注入された膜厚の厚いフィールドシリコン酸化膜層5aではエッチングの進行速度を速くすることができるため、エッチングがシリコン酸化膜1の表面に到達した時点でフィールドシリコン酸化膜層5a、5bの両方を同時に等しく除去することができる。従って、従来例の図3(c)に示したような、膜厚の薄いシリコン膜層5b側の上方のシリコン酸化膜層1までもがエッチングされるような現象をなくすることができる。

【0035】

10 【発明の効果】以上説明したように、本発明によれば、回路素子分離に用いられる厚さの異なるフィールド酸化膜のうち、厚さの厚い方のフィールド酸化膜のみにはイオンを注入し、厚さの異なるフィールド酸化膜のエッチング速度を変えらうにしたので、フィールド酸化膜とその下地層とが同一材料によって構成されている場合においても、その下地層までもがエッチングされるというような現象をなくすることができ、これにより、歩留まりを向上させ、信頼性の高い半導体装置を製造することができる。

20 【図面の簡単な説明】

【図1】本発明の第1の実施の形態である半導体装置の製造方法を示す工程図である。

【図2】図1に続く、本発明に係る半導体装置の製造方法を示す工程図である。

【図3】従来の半導体装置の製造方法を示す工程図である。

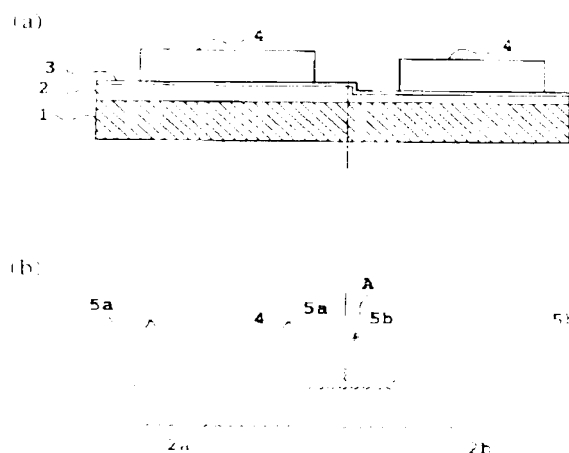
【符号の説明】

1 絶縁層(シリコン酸化膜)

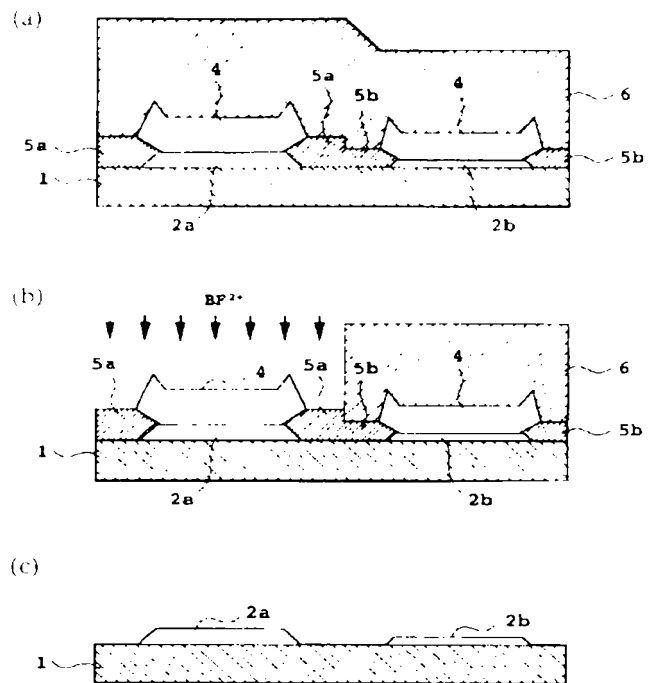
2、2a、2b 回路素子形成層(シリコン層)

5a、5b フィールド酸化膜(フィールドシリコン酸化膜)

【図1】



【図2】



【図3】

